


Ball grid package with integrated passive circuit elements.

Patent Number: ☐ [EP0675539](#), [A3](#)
Publication date: 1995-10-04
Inventor(s): PEDDER DAVID JOHN (GB)
Applicant(s): PLESSEY SEMICONDUCTORS LTD (GB)
Requested Patent: ☐ [JP7283372](#)
Application Number: EP19950300676 19950203
Priority Number(s): GB19940006377 19940330
IPC Classification: H01L23/538; H01L23/498; H01L25/16
EC Classification: [H01L23/538F](#), [H01L25/16](#), [H01L23/498C4](#)
Equivalents: ☐ [GB2288074](#), ☐ [GB2288286](#), ☐ [US5717245](#)
Cited Documents: [US5216278](#); [EP0582315](#); [US5285352](#); [US5355283](#); [EP0491161](#); [EP0578028](#); [US4297647](#); [US5240588](#)

Abstract

A ball grid array arrangement comprises a dielectric multilayer substrate, in a lower metallisation layer of which is disposed an array of solder balls. A passive circuit element is integrated into at least one of the metallisation layers. The arrangement may be either a discrete component consisting of a triplate transmission-line resonator or interdigitated filter integrated into an inner metallisation layer and defined by that layer in conjunction with adjacent layers, or it may take the form of an IC carrier or multichip-module carrier having such transmission structures situated within a central die-attach area of the substrate and having also a peripheral area containing bonding structures for the mounting of at least one chip or chip module. There will normally be at least two groups of such bonding structures, and a passive circuit element in the form of an inductor may be formed in the upper metallisation layer between adjacent groups of

bonding structures. 

Data supplied from the **esp@cenet** database - I2

(11)特許出願公開番号

(43)公開日 平成7年(1995)10月27日

技術表示箇所

M
N

審査請求 未請求 請求項の数20 FD (全 11 頁) 最終頁に続く

(71)出願人 592201151

プレッシー セミコンダクターズ リミテッド

イギリス エスエヌ2 2キューダブリュ
ー ウィルトシャー スウィンドン チェ
ニー マナ(番地なし)

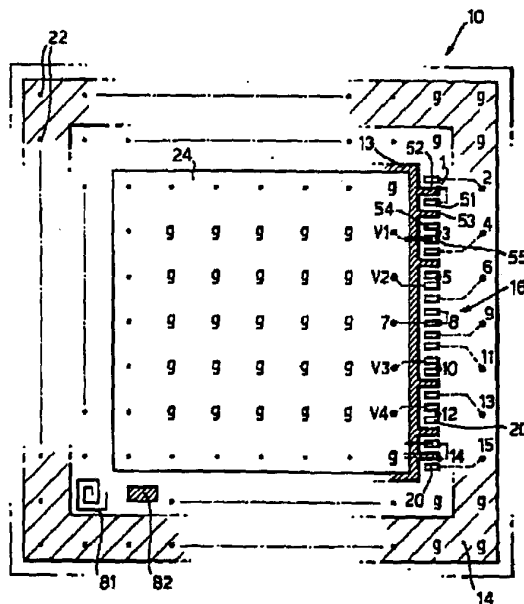
(72)発明者 デイヴィッド ジョン ペダー

イギリス シーヴィ36 5エルビー, ウォ
リックシア, ロング カムプトン, クラ
ークス レーン, プライリー (番地なし)

(74) 代理人 弁理士 飯田 伸行

(57) 【要約】 (修正有)

【構成】 多層誘電体基板 12 からなり、この下側メタライジング層 30～32 にソルダボールアレイ 22 を設ける。メタライジング層の少なくとも 1 つに受動回路素子を集積化する、この構成は中間メタライジング層に形成され、かつ該層が隣接層とともに形成するトリプレート伝送ライン共振器がディスクリット部品であってもよく、伝送構造を基板の中心にダイアタッチエリア内部に設け、かつ周辺エリアを含むボンディング構造で少なくとも 1 つのチップまたはチップモジュールを実装する IC キャリア等の形であってもよい。



【特許請求の範囲】

【請求項1】 メタライジングした上下層30、32及び少なくとも1層の中間層31からなる多層誘電体基板12を有するBGA構造10において、該下側メタライジング層32がソルダボール22のアレイを有し、かつメタライジングした層の少なくとも1層に受動回路素子60、70、75、81、100を集積化したBGA構成。

【請求項2】 該受動回路素子が、少なくとも1つの中間メタライジング層31に形成され、かつ該層が隣接メタライジング層30、32及び介在誘電体層33、34とともに形成するトリプレートライン共振器伝送ライン構造60である請求項第1項に記載のBGA構成。

【請求項3】 該受動回路素子が、少なくとも1つの中間メタライジング層31に形成され、かつ該層が隣接メタライジング層30、32及び介在誘電体層33、34とともに形成するインターデジタルフィルタ伝送ライン構造70である請求項第1項に記載のBGA構成。

【請求項4】 該伝送ライン構造を上側又は下側メタライジング層に形成した表面マイクロストリップ部分まで延設し、そして該マイクロストリップ部分が、該伝送ライン構造の電気応答をトリミングするために選択的に除去できる露出メタライジング領域になる請求項第2項又は第3項に記載のBGA構成。

【請求項5】 該表面マイクロストリップ上に誘電体をコーティングして、レーザトリミング用のレーザ光の吸光性を改善する請求項第4項に記載のBGA構成。

【請求項6】 該伝送ライン構造をソルダボール22の隣接列間に形成した請求項第4項又は第5項に記載のBGA構成。

【請求項7】 該メタライジング層の少なくとも1層に1つ以上のグランドプレーン13、23を形成した請求項第1～6項のいずれか1項に記載のBGA構成。

【請求項8】 該基板が、少なくとも1つのチップ又はマルチチップモジュール24を実装する中心ダイアタッチエリア13と、ソルダボール22の少なくとも1部と上記の少なくとも1つのチップ又はマルチチップモジュール24との間を電氣的に接続するボンディング構造20を含む周辺エリアとを有する請求項第1～7項のいずれか1項に記載のBGA構成。

【請求項9】 該受動回路素子を、該中心ダイアタッチエリア13内において上記の少なくとも1つの中間メタライジング層31に形成した請求項第8項に記載のBGA構成。

【請求項10】 該周辺エリアが少なくとも2群のボンディング構造15、16、17、18を有し、そして該受動回路素子をボンディング構造の隣接群間において該周辺エリアに設けた請求項第8項に記載のBGA構成。

【請求項11】 該受動回路素子がインダクタ75である請求項第10項に記載のBGA構成。

【請求項12】 インダクタ75を上側メタライジング層に形成した請求項第11項に記載のBGA構成。

【請求項13】 インダクタ75に隣接してキャパシタ76を実装して、該BGA構成に実装した該チップ又はチップモジュール24内部の回路をチューニングできるように請求項第11項又は第12項に記載のBGA構成。

【請求項14】 中心エリアにおいて上下のメタライジング層30、32に形成したグランドプレーン13、33を有し、中心エリアにおける下側メタライジング層32のソルダボール22の少なくとも1部をグランドプレーンに対する共通グランド接続として割り当てた請求項第8～13項のいずれか1項に記載のBGA構成。

【請求項15】 周辺エリアのボンディング構造が上側メタライジング層30に形成したワイヤボンダッド20であり、該バッド20が信号バッドか、あるいはグランドバッドかパワーサブライバッドV1～V4のいずれかであり、そして該信号バッドの少なくとも1部のそれぞれをグランドバッド又はパワーサブライバッド間に設けた請求項第8～14項のいずれか1項に記載のBGA構成。

【請求項16】 該周辺エリアの外側部分周囲に設けた封止リング14が、封止カバー21をBGA構成にボンディングする封止カバーボンディング構造になる請求項第8～15項のいずれか1項に記載のBGA構成。

【請求項17】 該封止リング14が、下側メタライジング層32のソルダボール22によって接地されるようにした請求項第16項に記載のBGA構成。

【請求項18】 上側メタライジング層の中心グランドプレーン13と周辺封止リング14との間にボンディング構造20を設けた請求項第16項又は第17項に記載のBGA構成。

【請求項19】 請求項第8～18項のいずれか1項に記載のBGA構成を有するとともに、該BGA構成にマルチチップモジュール24を実装したマルチチップモジュール体。

【請求項20】 請求項第19項に記載のマルチチップモジュール体を有するマルチチップモジュール無線又は通信デバイス。

【発明の詳細な説明】

【0001】

【発明の技術分野】本発明はBGA(ball grid array)の略)パッケージ構成に、特に、とはいってもこれには限定されないが、マルチチップモジュールを他の回路に接続するためのBGAパッケージ構成に関する。

【0002】

【従来の技術】小型で、高性能な上に、費用効果性のある実装部品については極めてコンパクトで、その上コストの低い無線通信やその他のrf通信回路を構成できる

ことがますます要求されている。

【0003】BGAパッケージ構成は、高速（～50MHzクロックレートかそれ以上）で、ピンカウントの高いデジタルASIC（特定用途向き集積回路）や、その他の関連するシリコンIC装置をコンパクトなパッケージに実装するために開発されたものである。これらBGAパッケージは、耐火性のメタライジング系（例えば、タングステン）及びアルミナ（窒化アルミニウム）誘電体を使用する同時焼成セラミック法、あるいは有機複合積層体にメッキ銅メタライジングを利用するプリント回路基板等の方法によって製造されている。パッケージ基板は、それぞれにソルダボール接続を与えたエリアアレイのソルダリングが可能なメタライジングパッドを支持するものである。メタライジングした、適当なインターレイヤービアの層が8層以下からなる多層パッケージ基板構造もあり、これによれば、パッケージ基板のソルダパッド接続とパッケージの上面に列状に設けたワイヤボンダパッドとの間に必要な、密度の高いルーチングを実現できる。また、ソルダリングが可能な封止リングをパッケージ上面の周囲にメタライジングするもできる。この場合、パッケージ組立は、金属リッド構造体の封止によるか、あるいは適当な充填又は非充填有機質材でカプセル化するか成形することによって完成することができる。

【0004】

【発明により解決すべき課題】集積受動部品を組込んだマルチチップモジュール（MCM-D）基板に支持した、混載法によるシリコン集積回路デバイス及びGaAsモノリシック立体集積回路を使用する無線通信装置等については、従来の表面実装体と比較して、装置の物理的サイズを大幅に小さくすると、モジュールパッケージを非常にコンパクトなパッケージ形態の周囲回路に多数の接続によって接続する必要がある。例えば、基板サイズがわずか10mm²に過ぎないマルチチップモジュール（MCM）パッケージの場合は、信号、サブライヤグラウンド接続に関して120程度の接続が必要と考えられる。

【0005】加えて、これら装置の性質が高周波性質であるため、MCM-D基板、その実装マイクロ波GaAs、そして高速シリコン能動素子のグランディング効率は高くなければならず、またサブライ接続のインダクタンスは低くなければならず、そして外部信号接続についても非常に短く、また低インダクタンスでなければならない。

【0006】さらに、組み立てたマルチチップ無線モジュールをテストする必要もある。

【0007】上記課題を少なくともひとつ解決するだけでなく、BGAの単一構成部品としてディスクリート部品を実現するBGA構造が望まれている。

【0008】

【課題を解決するための手段】本発明の第1態様は、メタライジングした上下層及び少なくとも1層の中間層からなる多層誘電体基板を有するBGA構造において、該下側メタライジング層がソルダボールのアレイを有し、かつメタライジングした層の少なくとも1層に受動回路素子を集積化したBGA構造を提供するものである。

【0009】このような構造はそのままBGAの単一構成部品としてのディスクリート部品として使用することも可能であり、あるいは以下に述べるその他の部品とともに使用すれば、受動回路素子を組込んだデバイスキャリアになる。

【0010】該受動回路素子は、少なくとも1つの中間メタライジング層に形成され、かつ該層が隣接メタライジング層及び介在誘電体層とともに形成するトリプレートライン共振器伝送ライン構造か、あるいはインタデジタルフィルター伝送ライン構造であればよい。

【0011】該伝送ライン構造は、上側又は下側メタライジング層に形成した表面マイクロストリップ部分まで延設すればよい。この場合、該マイクロストリップ部分が、該伝送ライン構造の電気応答をトリミングするために選択的に除去できる露出メタライジング領域になる。このように、短い表面マイクロストリップを使用すると、同時焼成時にセラミック基板の寸法収縮により生じる製造許容誤差を補正することができる。

【0012】通常、このような表面マイクロストリップ構造のトリミングはレーザによって行うが、トリミング構造のトリミング時の吸光性を改善するためには、この表面マイクロストリップ部分に誘電体をコーティングする。

【0013】伝送ライン構造は、ソルダボールの隣接列間に形成すればよい。また、1つ以上のグラウンドプレーンをメタライジング層の少なくとも1層に形成すれば、各層の1つ以上のグラウンドプレーンをリンクするために必要になることがあるスルービアの完全性を維持することができる。

【0014】基板は、少なくとも1つのチップ又はマルチチップモジュールを実装する中心ダイアタッチエリアと、ソルダボールの少なくとも1部と上記の少なくとも1つのチップ又はマルチチップモジュールとの間を電気的に接続するボンディング構造を含む周辺エリアとで構成すればよい。

【0015】このようなBGAデバイスをキャリングする構成に受動回路素子を集積化することには利点がある。換言すれば、チップ又はマルチチップモジュール内部の各種回路の特性をBAG構成それ自体でトリミングでき、これによってチップ又はモジュールテストを実施してから、BGA構成を別な回路の一部とすることができる。

【0016】該受動回路素子は、中心ダイアタッチエリア内において上記の少なくとも1つの中間メタライジン

グ層に形成すればよい。

【0017】周辺エリアは、少なくとも2群のボンディング構造を有していればよく、そして受動回路素子は、ボンディング構造の隣接群間において周辺エリアに設ければよい。受動回路素子はインダクタであればよく、これは上側メタライジング層に形成することができる。インダクタの上側メタライジング層への集積化によって、中間層に対向する該層の導電率を高くでき、従って部品のQ値を確実に高くでき、また下側メタライジング層に対するスペースを大きくでき、従って漂遊キャパシタンスを確実に低くできるため、自己共振周波数を確実に高くできる。

【0018】インダクタに隣接してキャパシタを実装すれば、BGA構成に実装したチップ又はチップモジュール内部の回路をチューニングすることができる。

【0019】本発明のBGA構成では、中心エリアにおいて上下のメタライジング層にグラウンドプレーンを形成することができ、この場合には、中心エリアにおける下側メタライジング層のソルダボールの少なくとも1部をグラウンドプレーンに対する共通グラウンド接続として割り当てる。

【0020】周辺エリアのボンディング構造は、上側メタライジング層に形成したワイヤボンダッドであればよく、この場合パッドは信号パッドか、あるいはグラウンドパッドかパワーサプライパッドのいずれかであり、そして信号パッドの少なくとも1部のそれぞれをグラウンドパッド又はパワーサプライパッド間に設ける。

【0021】周辺エリアの外側部分周囲に封止リングを設けることができ、この封止リングが、封止カバーをBGA構成にボンディングする封止カバーボンディング構造になる。封止リングを、下側メタライジング層のソルダボールによって接地されようにしてもよい。好ましくは金属製の封止リングを使用すると、第1に、BGAパッケージをほこりや水分から保護でき、また第2に、金属製の場合には、デバイスをRF干渉から電氣的に遮断できる利点がある。

【0022】上側メタライジング層の中心グラウンドプレーンと周辺封止リングとの間にボンディング構造20を設けることもできる。

【0023】グラウンド電位にあるパッド間に信号搬送ワイヤボンダッドの少なくとも1部（即ち、パワーサプライパッド）を設けると、信号パッド間の信号分離を大きくできる利点がある。

【0024】本発明の第2態様は、上記BGA構成を有するとともに、該BGA構成にマルチチップモジュールを実装したマルチチップモジュール体に関する。

【0025】本発明の第3態様は、上記マルチチップモジュール体を有するマルチチップモジュール無線又は通信デバイスに関する。

【0026】

【実施例】図1、2及び3について説明すると、図1は本発明の第1実施例によるBGA構成10の簡単な平面図である。このパッケージ10は多層基板12で構成し、該多層基板はメタライジングした3つの層30、31、32及び2つの介在層33、34からなる。上側メタライジング層30には、グラウンドプレーン用ダイアタッチパッド13、周辺封止リング14及びワイヤボンダッド20の4つの群15~18を形成する。下側メタライジング層の中心部には、同様に、グラウンドプレーンがある。基板12はタングステンやモリブデン等の耐火性メタライジング系やアルミナ（窒化アルミニウム）誘電体を使用して、同時焼成法によって構成する。この方法では、メタライジングパターンはタングステンやモリブデン等の粉末インクをテープ状の未焼成Al₂O₃層にスクリーン印刷することによって形成する。このテープは有機バインダーによって一体化した粉末セラミック誘電体からなる。パターンを印刷によって形成した場合、テープ各層を積層し、得られた積層体を1650~1900℃で焼成して、バインダーを除去するとともに、構造体を稠密化する。

【0027】BGAパッケージ及びMCMに使用する材質の熱安定性に応じて、金-錫共融合金組成物または低融点ソフトソルダ組成物のいずれかを使用すると、封止リング14があるため、導電性リッド21をBGAに接続できる。

【0028】封止リング14、下部グラウンドプレーン及びダイアタッチパッド13は下側メタライジング層32に形成したソルダボール22の群によって接地する。このように、多数のソルダボールを使用すると、対象となる面を極めて低いインダクタンスで接地することができる。ワイヤボンダッド20は、少なくとも1つのチップダイ、すなわちマルチチップモジュール（MCM）24を、BGAパッケージ10を実装するカード（図示せず）上の回路に電氣的に接続する手段である。換言すれば、MCM24上のワイヤボンダッド26をBGA基板12上の対応するワイヤボンダッド25にリンクするワイヤボンダ25によって、また中間メタライジング層31に形成したトレースによって、MCM24とソルダボール22とを接続する。また、誘電体層33、34に形成した金属充填ビア11によってパッド20と中間メタライジング層31との間を、そして中間メタライジング層31とソルダボール22との間を接続する。図2に、このようにしてパッド19とソルダボール28とを接続した1例を示す。この接続は、2つのビア27と内側トレース29とによって行う。

【0029】マルチチップモジュール（MCM）24は、多数のチップを基板40に接続したサブ回路の完成品である。図2に、このようなチップを3つ、即ち、ソルダボール22と同様ではあるが、スケールが小さいソルダパンプ、及び基板40にワイヤボンディングしたG

aAsチップ43によって基板40に接続した2つのワ
リップチップシリコンIC41、42を示す。

【0030】より詳細には、本発明によるBGAパッケージは図4に平面図として示す。図4において、MCM24は約10mm²で、BGAパッケージ10の上側メタライジング層30に形成したダイアタッチパッド13に実装する。BGAパッケージ10は各辺がほぼ17mmで、ワイヤボンダッド20と封止リング14を実装するために各辺にほぼ3mmのスペースがある。下側メタライジング層32全体に多数の(図示例では121個)ソルダボール22をアレイ形態で配置する。MCM24下方の中心エリアの大部分を占めるソルダボールは接地に割り当てられ、gで表示する。このソルダボールアレイはソルダリングが可能なメタライジングしたパッドに設けられるが、本実施例で使用する同時焼成セラミックパッケージの場合、これらパッドは、ソルダ濡れ性を確実にするために、ニッケル及び金で被覆したタングステンパッドで構成する。ソルダリング性のないタングステン層にソルダリングが可能なニッケル-金を選択的にソルダリングするか、あるいはソルダリング性をもつ必要のないエリアに別にセラミック薄膜を形成することによって、ソルダボールをメタライジングした接地された下側メタライジング層32の所要位置に制限する。

【0031】BGAパッケージの中心エリアの外側のエリアでは、即ち、周辺エリアでは、パッケージの各隅部において、封止リング14に接地接続するソルダボール22の群57を設ける。この接地により、封止リングに接続した金属リッド21が電気スクリーンとして作用し、MCM上の回路からRF干渉を排除する。

【0032】ワイヤボンダッド20については、1つの群16のみを図4に示すが、このような群は4つあり、いずれも基体12の4つの周縁部に位置する。ワイヤボンダッド20の場合は、上側メタライジング層30に形成し、そのピッチは均一で400μmである。また、各群のパッド数は25である。MCM基体40とBGAパッケージ10との間で短く(1mm未満)かつ平行な、低インダクタンスワイヤボンダを簡単に使用できるように、実装したMCM24の基体40上のワイヤボンダッドを整合ピッチで離間して設けてもよい。また、必要な場合には、パッド上のボンダ数を倍増、あるいは3倍にして、インダクタンスをさらに低くすることも可能である。

【0033】ワイヤボンダッド20は個別に信号機能とパワー/接地機能に分けられる。MCMのパワーはダイアタッチパッド13の各縁部内に、かつこれにそって位置するソルダボール列から取出す。このような列を1つだけ図示するが、4つの入力V1-V4を備えている。他の3つの列はさらに入力V5-V6をもっている。誘電体層33、34の適当なビア、及び中間メタライジング層31のトレース(後者は点線で示してあ

る)によって入力V1-V4は各ワイヤボンダッド20に送られる。残りのワイヤボンダッド20は信号接続として使用し、各辺のこれら信号パッド数は15である。換言すれば、合計数は60である。パワー接続の場合と同様に、適当なビア及び内側トレースによって、入力信号は外側の2つの周辺列のソルダボールから、即ち、ボール1-15から対応するワイヤボンダッドに接続する。

【0034】ソルダボールは直径がほぼ0.6mmで、ボール間ピッチはほぼ1.5mmである。このように、列16のパッド20が1.5mm以上離れたソルダボールにリンクされることがない、図4に示すパワー/信号供給構造を使用すると、パワー及び信号接続によって、MCMが非常に高い周波数で動作する回路を含む場合に重要になってくる低抵抗及び自己インダクタンスを確実に処理できる。

【0035】ワイヤボンダ群16の(及び他の3つのワイヤボンダ群の)信号パッドはその大部分がパワーパッドかグラウンドパッド間に設けられているので、信号接続間のクロストークを最小限にできる効果が得られる。このように、信号パッド51は接地されたパッド52と、同様な接地されたパッド53との間に位置するもので、これらパッド52及び53は接地されたダイアタッチパッド13と一体化している。同様に、信号パッド54は接地されたパッド53とパワーラインV1をもつパワーパッド55との間に位置する。各群の信号パッドの大部分について同じことが言えるが、例外は信号接続5-9及び11である。

【0036】また、接地されたパッケージ基板のメタライジング膜23(図2参照)と接地された封止リング構造14が局部的に近接しているため、信号トレース接続の発現を遮断し、アイソレーションを最小限に抑えることができる。

【0037】BGAパッケージの中心エリアの大部分は、MCMが関係する外部回路とほとんどグラウンド接続するためにだけに使用されるため、このエリア内部には中間層トレースは必要ない。本発明では、これを利用して、共振素子またはフィルタ素子として、あるいはMCMの内部回路のチューニング素子または調節素子として機能する受動部品をメタライジングした中間層に組込む。このような部品の1例は、図5に示すように、トリプレート形状の4分の1波共振器である。この共振器60は、内側にメタライジング膜31をもつストリップ61を適当なビアルーチングによって、本実施例では、BGAパッケージ10の右縁部にある少なくとも1つのワイヤボンダッド20に接続して構成する。共振器の動作はストリップ61と平行な上下のグラウンドプレーン13及び33(図2参照)との間に存在する伝送ライン効果によるもので、これら3つのメタライジングした構造がいわゆるトリプレート構造を形成する。本実施例の基

板を構成するアルミナセラミックは相対誘電率 ϵ_r が2.4GHzでほぼ9.8である。即ち、共振器が上記波長における4分の1波長共振器だとするなら、この長さは10mmでなければならない。図2に示す厚さが0.6mmのパッケージ基板の場合、インピーダンスが50オームのトリプレート構造のライン幅は約0.3mmである。抵抗が $10\text{m}\Omega/\text{square}$ の、タングステンでメタライジングした中間層の代表的な例におけるこのようなラインの抵抗は約0.33オームである。この抵抗が共振器のQ値を左右する。

【0038】通常は、共振器60によって占められるエリアはソルダボール22間にあるBGAパッケージの中心エリア部分に限られ、上記ストリップ61はソルダボール22の隣接列間をこれらにほぼ平行に走る。共振器の幅が0.5オーム、即ち公称0.3-0.4mmであると、ほぼ1.5mmのボール間ピッチに適合することになる。

【0039】基板中心エリアに実装することができる別な受動素子はインターデジタルトリプレートフィルターである。例えば、発信及び/又は受信チェイン形帯域フィルターとして使用することができる、このようなフィルター構造を図6に示す。図6において、フィルター70は3つの4分の1波長ストリップ71-73で構成するが、それぞれの幅及び長さは図5の共振器60と同じであり、従って、インピーダンスは50オームである。また、各ストリップはメタライジングした上下の隣接層とともに、共振器60の場合と同様に、トリプレート形伝送ラインシステムを形成する。同様に、ストリップ71-73それぞれの一端への接続はビアによって行う。また、必要な場合には、ワイヤボンドパッド20にリンクするトレースを別に設けて、この接続を行ってもよいが、この場合には、接続はBGAパッケージの反対側に行う。このように、本実施例では、外側ストリップ71、73はBGAパッケージの右側から、そして中心ストリップ72は左側から延設する。また、フィルター分岐点は、所要の特定設計に応じて、外側フィルター素子の全長にそって設けてもよい。

【0040】本実施例では、BGAパッケージ10について、同時焼成セラミック製造方法を利用するので、共振器やフィルター素子の寸法を計算する場合には、この同時焼成方法に固有な寸法的な不安定性を考慮に入れる必要がある。この不安定性は収縮の形をとり、線状寸法においては例えば16%で、許容誤差は $\pm 0.5\%$ である。これら許容誤差は、用いる共振器やフィルターの電気特性の、即ち、共振周波数や帯域特性の同様な許容誤差につながる。許容誤差をより厳しく制限するためには、トリプレート構造と表面マイクロストリップ構造（図示せず）を併用して、製造後のこれら部品をトリミングし、かつチューニングする。このためには、共振器素子やフィルター素子の長さの大部分について、上記し

たように、トリプレート形成すればよいが、上下いずれかのメタライジング膜に形成した長さの短いマイクロストリップを追加する必要がある。レーザトリミングやアブレッシブトリミングを使用して、ラインの長さ及びその共振挙動を調節する場合には、素子の一部をパッケージ面に移す。なお、これら2つの形態間の遷移における不連続性を確実に最小限に抑えることができるように留意する必要がある。

【0041】本発明BGA構造の第2実施例では、同時焼成セラミック構成ではなく、PCB形構成を使用する。この場合には、有機複合積層体にボンディングしたメッキした銅メタライジング膜を利用する。またここでは、セラミック形構成に使用することができる金ボンディングやアルミニウムボンディングとは対照的に、金ワイヤボンディングのみを使用する。PCB形システムの欠点は、用いる高分子物質、即ち、ポリマー物質は寸法的にはセラミック程安定性がないことである。また、アルミナセラミックの場合には、対象となる周波数で誘電損失が非常に小さいものを選択できる事実があるが、ポリマー物質の場合には、関与する積層体に配合する添加物、例えば、難燃剤のレベルに応じて、誘電損失が幾分か大きくなる傾向がある。

【0042】一方、PCB形構成には利点もある。即ち、必要なメタライジングパターンを形成するためにフォトリソグラフィを利用できるので、これらパターン、従って寸法を極めて正確に制御できる。

【0043】別な利点もある。即ち、このような形の構成の場合、BGAパッケージ本体に実装した共振器/フィルター素子においてより高いQ値を実現することができる。この理由は、第1に、メタライジングにタングステンではなく、抵抗率の低い銅を使用するからである。第2に、セラミック構成に比較して、より厚いメタライジング膜をPCB形構成に使用できるからである。

【0044】上記2つの方法にはさらに別な違いもある。即ち、PCB形構成の場合、基板に使用する有機ポリマー物質の誘電率が低い。この事実は、BGAパッケージに実装する共振器やフィルターの設計に影響を与えるものである。換言すれば、50オームインピーダンスのためのライン幅及び共振ラインの長さの両者を同時焼成基板の場合よりも大きくする必要がある。その程度は40%程である。このために、PCB形構成の場合には、内側メタライジング膜の面内で共振器60を折り曲げる必要がある。このような折り曲げ構成の1例を図7に示す。折り曲げ部分は62-65で示す。図5の直線状ストリップ61の場合と同様に、各部分はソルダボール22の隣接列間に位置する。実際には、部分間の間隔を広げて、折り曲げ構造の折り曲げ部分の接触（これは望ましくない）を避けることが必要である。これは、リンク部分62及び64を長くするとともに、平行部分63、65を部分61に対してより離れた列間に延設すれ

ば簡単に実現できる。

【0045】共振器を折り曲げる上記方法はPCB系構造にのみ限られるものではなく、共振器やフィルタ素子の長さが、例えば、接地されたソルダボールが占める中心エリアよりも長いことが必要とされるときにはいつでも、任意の構成に適用することが可能である。理由は、半波長素子を使用しているからである。

【0046】本発明BGA構造によればまた、受動部品を中心エリアではなく、周辺エリアに実装することが可能である。これに最も便利な基材部分はワイヤボンドパッド15-18（図1参照）の隣接群間にある部分である。詳細を図4に示す。図示のように、螺旋状インダクタ75はパッケージ10の下部左隅に位置する。有利には、インダクタ75はメタライジングした上層に形成して、インダクタとメタライジングした下部層の付近のグラウンドプレーンとの間の間隔を最大化する。これによって、グラウンドに対するキャパシタンスを最小化でき、部品の自己共振周波数を最大化できる。メタライジングした上層はまたセラミック構成の抵抗率を最小化できる。というのは、露出したタングステンメタライジング膜をニッケル及び金でオーバープレーティングすることができるからである。このため、インダクタ抵抗が低くなり、Q値が最大化する。

【0047】インダクタ75は1.2mmのフットプリント内に形成することができ、従ってインダクタ値を11nH以下にでき、Q値を1GHz付近において40~80で最大化できる。このようなインダクタはIF回路において特に重要である。また、小さな、レーザでトリミング可能なセラミックキャパシタ76をインダクタ75付近に実装すると、インダクタ75と協力して、MC内部の発信器回路のチューニングが可能になる。図示のキャパシタ76は寸法が1mm×0.5mmの0402表面実装部品である。

【0048】インダクタ75とキャパシタ76の両者は、適当なビア及びメタライジングトレース（図示せず）によってワイヤボンドパッド20及び／又はソルダボール22に接続する。

【0049】BGAデバイスをキャリングする構造を提供するだけでなく、本発明はBGAディスクリート部品構造を提供するものでもある。このようなディスクリート部品構造の2つの例を図8及び図9に示す。図8に示すように、3層基材12に上部グラウンドプレーン80及び下部グラウンドプレーン82を設ける。内側メタライジング膜にライン共振器81を形成し、共振器81と外部回路をビア83によって接続する。外部回路はソルダバンプ84を介してBGAとインターフェーシングする。図5のBGAデバイスをキャリングする構造における対応する共振器に適用されたように、ライン長さ及び幅、ライン抵抗などに関する基準はこのディスクリート共振器にもあてはまる。

【0050】ディスクリートなインターデジタルフィルタ部品を図9に示す。図9に示すように、同じ3層基材12を用いる。これは上下のグラウンド80、82からなる。但し、本実施例では、図6の構造と同様に、3つの4分の1波長ライン85、86、87をメタライジングした内側層に設ける。入力及び出力接続は該構造の最外側のラインに設ける。即ち、ライン85の一端をビア89によってソルダバンプ88に接続し、ライン87の一端をビア91によってソルダバンプ90に接続する。ライン85、87の他端をそれぞれビア92、93によってメタライジングした上部層に形成したマイクロストリップトリミングスタブ94、95に接続する。トリミングすべき表面スタブ94、95のエリアを適当な誘電体でコーティングして（同時焼成構造の場合には、アルミナを用いて、コーティングすることができる）、トリミングレーザ光の吸収を改善する。

【0051】図6及び図9の4分の1波長フィルタ構造の別な構造として、3つの半波長カップリングラインを隣接4分の1波長構造から利用することがある。図7の場合と同様に、これら構造を折り曲げて、これを利用できるエリア内に制限し、外部BGA接続に対するビアの位置を最適化することができる。

【0052】既に述べたように、適当なビア構造を図8及び図9のディスクリート構造に実装すると、ソルダボール84と共振器やフィルタ構造体との間を、そしてメタライジングした上下層の各種グラウンドプレーン間を接続することができる。4つ以上のメタライジング層からなる他の構造も可能であり、この場合には、2つの外側層と1つの中間層では、3つの隣接介在層に上記トリプレート構造を形成することができる。そして、適当なビア構造を使用して、これら中間層同士を、また必要に応じて、これら中間層を外側層及びソルダボールにリンクする必要がある。

【図面の簡単な説明】

【図1】本発明によるBGA構造の概略平面図である。

【図2】本発明によるBGA構造を組み込んだマルチチップモジュール体の側面図である。

【図3】本発明によるBGA構造に使用する基板の横断面図である。

【図4】図1に示した構造要素を詳細に示す図である。

【図5】本発明によるBGA構造の、メタライジングした中間層に設けた4分の1波長トリプレート共振器を示す図である。

【図6】本発明によるBGA構造の、メタライジングした中間層に設けたインターデジタルトリプレートフィルタを示す図である。

【図7】本発明によるBGA構造の、メタライジングした中間層に設けた4分の1波長トリプレート共振器を示す図である。

【図8】本発明によるディスクリートBGA共振器の側

13

14

面図である。

【図9】本発明によるディスクリートBGAフィルターの側面図である。

【符号の説明】

10 BGA構造

12 基板

13、23 グランドプレーン

14 封止リング

20 ワイヤボンドパッド

22 ソルダボール

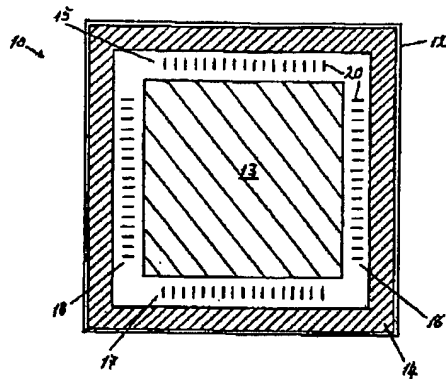
24 マルチチップモジュール

30、31、32 メタライジング層

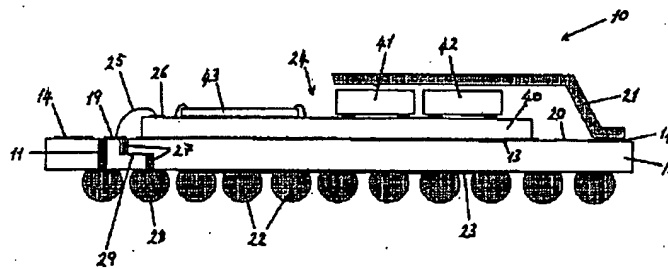
60、70、75、81、100 受動回路素子

33、34 介在誘電層

【図1】

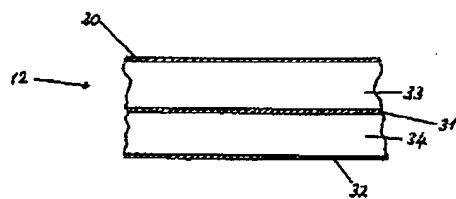


【図2】

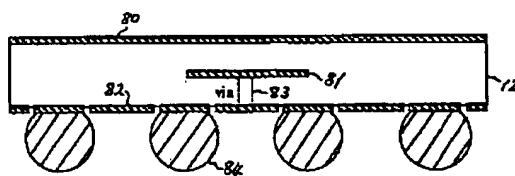


【図4】

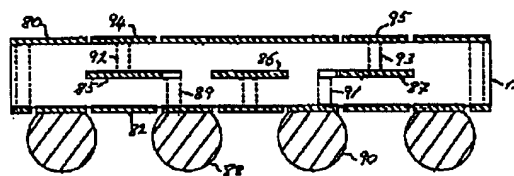
【図3】



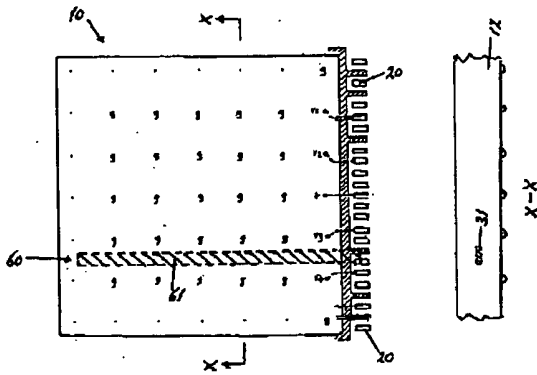
【図8】



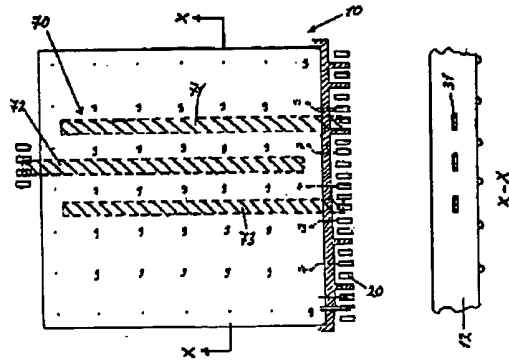
【図9】



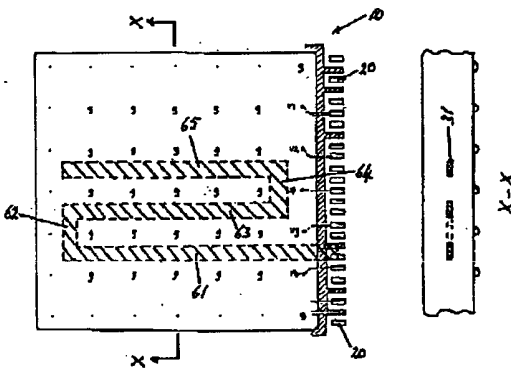
【図5】



【図6】



【図7】



【手続補正書】

【提出日】平成7年4月17日

【手続補正1】

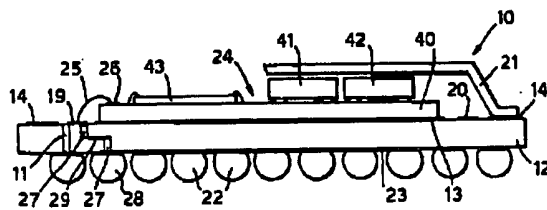
【補正対象書類名】図面

【補正対象項目名】全図

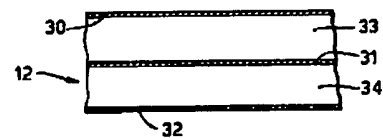
【補正方法】変更

【補正内容】

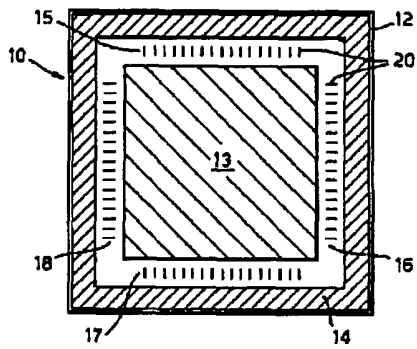
【図2】



【図3】

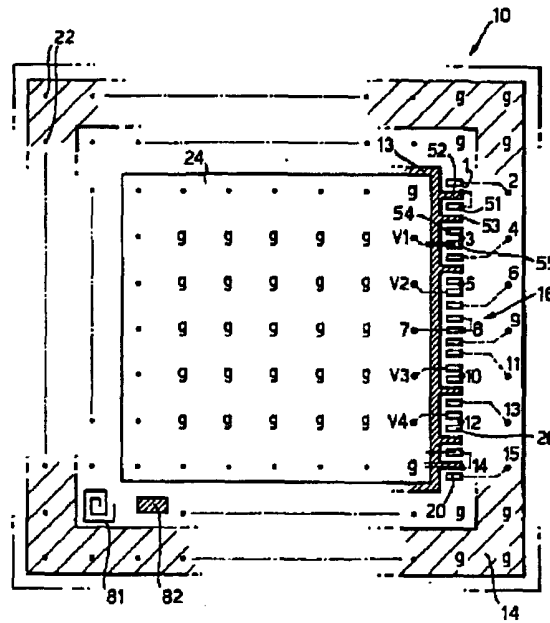


【図1】

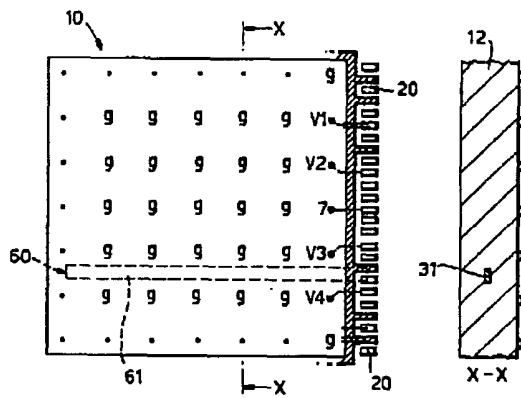


* *

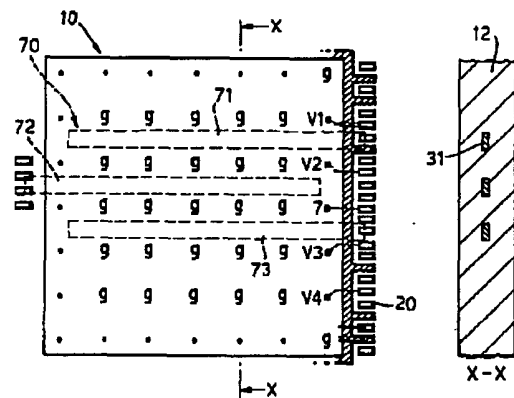
【図4】



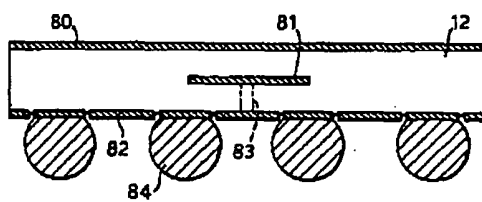
【図5】



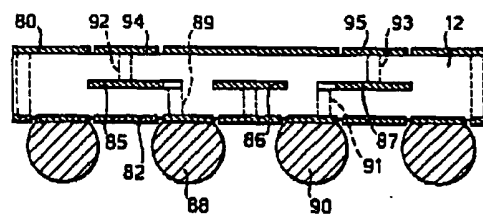
【図6】



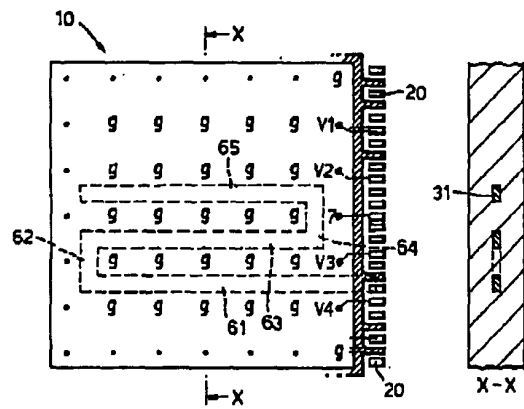
【図8】



【図9】



【図7】



フロントページの続き

(51)Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/12

Q

27/04

F

T